

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号
特表2003-517755
(P2003-517755A)

(43) 公表日 平成15年5月27日 (2003.5.27)

(51) Int.Cl.⁷

H03L 7/093

識別記号

F I

H03L 7/08

テーマト* (参考)

E 5 J 1 0 6

審査請求 未請求 予備審査請求 有 (全 25 頁)

(21) 出願番号 特願2001-529081(P2001-529081)
(86) (22) 出願日 平成12年9月21日 (2000.9.21)
(85) 翻訳文提出日 平成14年3月29日 (2002.3.29)
(86) 国際出願番号 PCT/US00/25929
(87) 国際公開番号 WO01/026230
(87) 国際公開日 平成13年4月12日 (2001.4.12)
(31) 優先権主張番号 09/410, 308
(32) 優先日 平成11年10月1日 (1999.10.1)
(33) 優先権主張国 米国 (US)

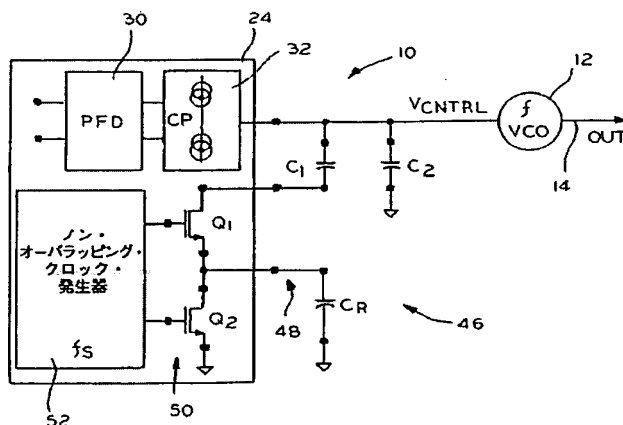
(71) 出願人 エリクソン インコーポレイテッド
アメリカ合衆国 ノースカロライナ、リサ
ーチ トライアングル パーク、デーヴィ
ス ドライブ 511
(72) 発明者 クレマー、ニコラウス
アメリカ合衆国 ノースカロライナ、アベ
ックス、 ストリームビュー ドライブ
102
(74) 代理人 弁理士 浅村 皓 (外3名)
Fターム (参考) 5J106 AA04 CC24 CC43 CC52 DD32
GG07 JJ04 KK24 KK25

最終頁に続く

(54) 【発明の名称】 スイッチトキャパシタ抵抗器を用いたPLLループ・フィルタ

(57) 【要約】

改善された位相雑音特性を有する位相ロック・ループ回路は、電圧制御入力に応答して発振出力信号を発生する電圧制御発振器 (12) を含む。基準源は基準周波数信号を供給する。位相検出器 (30) は、電圧制御発振器と基準源とに動作的に接続され、発振出力信号と基準周波数信号との間の位相差に比例する出力を発生する。ループ・フィルタ (46) は位相検出器出力を電圧制御入力に接続する。ループ・フィルタはスイッチトキャパシタ等価抵抗器 (Q1, Q2, CR) を含む。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 改善された位相雑音特性を有する位相ロック・ループ回路であって、

電圧制御入力に応答して発振出力信号を発生する電圧制御発振器と、
基準周波数信号を供給する基準源と、

前記電圧制御発振器と前記基準源とに動作的に接続され、かつ、前記発振出力信号と前記基準周波数信号との間の位相差に比例する出力を発生する位相検出器と、

該位相検出器出力を前記電圧制御入力に接続するループ・フィルタであって、
該ループ・フィルタがコンデンサとスイッチング回路とを含み、該スイッチング回路が前記コンデンサを前記位相検出器出力と大地とに交互に接続する、ループ・フィルタと、

を含む、位相ロック・ループ回路。

【請求項 2】 請求項 1 記載の位相ロック・ループ回路であって、前記ループ・フィルタが、前記スイッチング回路と前記位相検出器出力との間に接続された第 2 のコンデンサを更に含む、位相ロック・ループ回路。

【請求項 3】 請求項 1 記載の位相ロック・ループ回路であって、前記ループ・フィルタが、前記位相検出器出力と大地との間に接続された追加コンデンサを更に含む、位相ロック・ループ回路。

【請求項 4】 請求項 1 記載の位相ロック・ループ回路であって、前記スイッチング回路が、前記コンデンサを前記検出器出力に接続する第 1 のトランジスタと、前記コンデンサを大地に接続する第 2 のトランジスタとを含む、位相ロック・ループ回路。

【請求項 5】 請求項 4 記載の位相ロック・ループ回路であって、前記スイッチング回路が、前記第 1 のトランジスタ及び前記第 2 のトランジスタを制御するノン・オーバーラッピング・クロック発生回路を更に含む、位相ロック・ループ回路。

【請求項 6】 請求項 5 記載の位相ロック・ループ回路であって、前記クロック発生回路が、前記位相ロック・ループ回路のループ帯域幅よりも上の周波数

で動作する、位相ロック・ループ回路。

【請求項7】 請求項1記載の位相ロック・ループ回路であって、前記位相検出器が位相周波数検出器を含む、位相ロック・ループ回路。

【請求項8】 請求項1記載の位相ロック・ループ回路であって、前記位相検出器がチャージ・ポンプ回路を含み、前記ループ・フィルタが前記チャージ・ポンプ回路からの電流パルスを実記電圧制御入力での電圧に変換する、位相ロック・ループ回路。

【請求項9】 請求項8記載の位相ロック・ループ回路であって、前記位相検出器が一对のエッジトリガ形リセット付きフリップフロップを含み、前記発振出力信号と前記基準周波数信号とが前記フリップフロップ用のクロック信号であり、前記フリップフロップが前記チャージ・ポンプ回路を駆動する、位相ロック・ループ回路。

【請求項10】 請求項1記載の位相ロック・ループ回路であって、前記発振出力信号と前記基準周波数信号とを前記位相検出器に接続する分周器を更に含む、位相ロック・ループ回路。

【請求項11】 改善された位相雑音特性を有する位相ロック・ループ回路であって、

電圧制御入力に応答して発振出力信号を発生する電圧制御発振器と、
基準周波数信号を供給する基準源と、

前記電圧制御発振器と前記基準源とに動作的に接続され、かつ、前記発振出力信号と前記基準周波数信号との間の位相差に比例するパルス幅を有する正電流パルス又は負電流パルスを有する出力を発生する位相周波数検出器と、

前記位相検出器出力を前記電圧制御入力に接続するループ・フィルタであって、該ループ・フィルタが、電流パルスを前記電圧制御入力での電圧に変換し、かつ、コンデンサとスイッチング回路とを有する積分器を含み、前記スイッチング回路が前記コンデンサを前記位相検出器出力と大地とに交互に接続する、ループ・フィルタと、

を含む、位相ロック・ループ回路。

【請求項12】 請求項11記載の位相ロック・フィルタであって、前記積

分器が、前記スイッチング回路と前記位相検出器出力との間に接続された第2のコンデンサを更に含む、位相ロック・ループ。

【請求項13】 請求項11記載の位相ロック・フィルタであって、前記積分器が、前記位相検出器出力と大地との間に接続された追加コンデンサを更に含む、位相ロック・ループ。

【請求項14】 請求項11記載の位相ロック・ループ回路であって、前記スイッチング回路が、前記コンデンサを前記検出器出力に接続する第1のトランジスタと、前記コンデンサを大地に接続する第2のトランジスタとを含む、位相ロック・ループ回路。

【請求項15】 請求項14記載の位相ロック・ループ回路であって、前記スイッチング回路が、前記第1のトランジスタ及び前記第2のトランジスタを制御するノン・オーバーラッピング・クロック発生回路を更に含む、位相ロック・ループ回路。

【請求項16】 請求項15記載の位相ロック・ループ回路であって、前記クロック発生回路が、前記位相ロック・ループ回路のループ帯域幅よりも上の周波数で動作する、位相ロック・ループ回路。

【請求項17】 請求項11記載の位相ロック・ループ回路であって、前記位相周波数検出器がチャージ・ポンプ回路を含む、位相ロック・ループ回路。

【請求項18】 請求項17記載の位相ロック・ループ回路であって、前記位相周波数検出器が一对のエッジトリガ形リセット付きフリップフロップを含み、前記発振出力信号と前記基準周波数信号とが前記フリップフロップ用のクロック信号であり、前記フリップフロップが前記チャージ・ポンプ回路を駆動する、位相ロック・ループ回路。

【請求項19】 請求項11記載の位相ロック・ループ回路であって、前記発振出力信号と前記基準周波数信号とを前記位相周波数検出器に接続する分周器を更に含む、位相ロック・ループ回路。

【発明の詳細な説明】**【0001】****(発明の分野)**

本発明は、位相ロック・ループ・フィルタ回路に関し、特に、スイッチトキャパシタ抵抗器を用いたループ・フィルタに関する。

【0002】**(発明の背景)**

位相ロック・ループ回路は、普通、非常に安定でかつ低雑音な基準周波数信号の周波数の正確な倍数である信号の周波数を有する高周波周期信号の発生を必要とする回路で使用される。位相ロック・ループ回路はまた、出力信号の位相が基準信号の位相を追跡しなければならない場合に応用され、それゆえ、位相ロック・ループなる名がある。

【0003】

位相ロック・ループ回路は、無線受信機及び無線送信機で局部発振器信号を発生するために使用される。局部発振器信号は、チャンネル選択に使用され、それゆえ、安定で低雑音でしばしば温度補償された基準信号発生器の倍数である。位相ロック・ループ回路は、デジタル通信システムやディスク・ドライブ読出しチャンネルなどのクロック回復応用にも使用される。位相ロック・ループ回路は、周波数変調器でも、また、周波数変調信号の復調にも使用される。典型的な応用の概観は、「モノリシック位相ロック・ループ及びクロック回復回路、理論及び設計」、ベザド・ラザヴィ，IEEEプレス，1996年で論じられている。

【0004】

典型的な位相ロック・ループ回路は、位相検出器を電圧制御発振器に接続するループ・フィルタを含む。ループ・フィルタは、或る種の安定性判定基準が満たされかつ位相ロッキング・フィードバック・ループが振動状態に突入しないように、位相ロッキング・フィードバック・ループの動力学を定める。第二高調波及びそれ以上の高調波位相ロック・ループ回路では、この安定化は、普通、そのループ・フィルタに抵抗器を挿入することによって達成される。抵抗器は、位相ロック・ループ出力信号の位相雑音スペクトルに寄与する熱雑音を発生する。ルー

プ・フィルタ抵抗器雑音は、ループ帯域幅の近隣における全位相雑音を支配することがあり得る。

【0005】

本発明は、上述した問題の1つ以上を新規かつ簡単な方法で克服することを目指す。

【0006】

(発明の要約)

本発明によれば、スイッチキャパシタ抵抗器を用いたループを含む位相ロック・ループが用意される。

【0007】

概括的にいうと、電圧制御入力に応答して発振出力信号を発生する電圧制御発振器を含む改善された位相雑音特性を有する位相ロック・ループ回路が本明細書に開示される。基準源は基準周波数信号を供給する。位相検出器は、電圧制御発振器と基準源とに動作的に接続され、発振出力信号と基準周波数信号との間の位相差に比例する出力を発生する。ループ・フィルタは、位相検出器出力を電圧制御入力に接続する。ループ・フィルタはコンデンサとスイッチング回路とを含む。スイッチング回路は、コンデンサを位相検出器出力及び大地に交互に接続する。

【0008】

本発明の特徴は、ループ・フィルタが、スイッチング回路と位相検出器出力との間に接続された第2のコンデンサと、位相検出出力と大地との間に接続された追加コンデンサとを更に含むことである。

【0009】

本発明の他の特徴は、スイッチング回路が、コンデンサを検出器出力に接続する第1のトランジスタと、コンデンサを大地に接続する第2のトランジスタとを含むことである。スイッチング回路は、第1のトランジスタ及び第2のトランジスタを制御するノン・オーバラッピング・クロック発生回路を更に含む。クロック発生回路は、位相ロック・ループ回路のループ帯域幅よりも上の周波数で動作する。

【0010】

本発明の追加の特徴は、位相検出器が位相周波数検出器を含むことである。位相検出器はチャージ・ポンプ回路も含み、また、ループ・フィルタはチャージ・ポンプ回路からの電流パルスを電圧制御入力での電圧に変換する。位相検出器は一对のエッジトリガ形リセット付きフリップフロップを含み、発振出力信号及び基準周波数信号はフリップフロップ用のクロック信号であり、フリップフロップはチャージ・ポンプ回路を駆動する。

【0011】

本発明のなお他の特徴は、発振出力信号及び基準周波数信号を位相検出器に接続する分周器を用意することである。

【0012】

本発明の他の態様によれば、電圧制御入力に応答して発振出力信号を発生する電圧制御発振器を含む位相ロック・ループ回路が開示される。基準源は基準周波数信号を供給する。位相周波数検出器は、電圧制御発振器及び基準源に動作的に接続され、発振出力信号と基準周波数信号との間の位相差に比例する幅を有する正電流パルス又は負電流パルスを有する出力を発生する。ループ・フィルタは位相検出器出力を電圧制御入力に接続する。ループ・フィルタは、電流パルスを電圧制御入力での電圧に変換しかつコンデンサ及びスイッチング回路を有する積分器を含む。スイッチング回路は、コンデンサを位相検出器出力と大地とに交互に接続する。

【0013】

本発明の更に他の特徴及び利点は本明細書及び図面から容易に明らかである。

【0014】

(発明の詳細な説明)

図1を初めに参照すると、位相ロック・ループ回路10の典型的な実施は、セルラ電話におけるような無線受信機又は送信機で局部発振器信号を発生するために使用される。回路10は、線路16上の電圧制御入力に応答して線路14上の発振出力信号を発生する電圧制御発振器(VCO)12を含む。基準源18は線路20上に基準周波数信号を供給する。線路20上の基準周波数信号は、第1の

分周器22を介して位相検出器24の1つの入力に結合されている。線路14上の発振出力信号は、第2の分周器26を介して位相検出器24の第2の入力に接続されている。特に、基準周波数信号は基準分周比Rだけ分周される。同様に、発振出力信号は主分周比Nだけ分周される。

【0015】

位相検出器24は、その2つの入力信号の位相差に比例する出力信号を供給する。ループ・フィルタ28は、位相検出器出力信号をフィルタして線路16上に電圧制御信号を発生する。

【0016】

回路実施によっては、位相検出回路24は位相周波数検出器を含むことがある。本発明の例示の実施の形態では、図2に例示したように、位相検出器24は位相周波数検出器30とチャージ・ポンプ回路32との組合せを含む。

【0017】

位相周波数検出器32は、D入力が論理“1”に接続された2つのエッジトリガ形リセット付きD形フリップフロップ34、36で構成されたデジタル回路として実施されている。分周器22からの“REF”とラベルされた基準信号は、第1のフリップフロップ34へのクロック信号として作用する。分周器26からの“VCO”とラベルされた発振信号は、第2のフリップフロップ36へのクロック信号として作用する。第1のフリップフロップ34の出力は「UP」出力を含む。第2のフリップフロップ36の出力はダウンすなわち「DN」出力を含む。フリップフロップ34の出力とフリップフロップ36の出力とはANDゲート38の入力にも接続されている。ANDゲート38の出力はフリップフロップ34のリセット入力とフリップフロップ36のリセット入力とに接続されている。

【0018】

パルス周波数検出器30の動作は、UP出力がVCOエッジよりも前に到着するならばUP出力はREFエッジによって論理“1”にセットされるというようである。後のVCOエッジは、UP出力をリセットして論理“0”に復帰させることになる。DN出力は、VCOエッジがREFエッジよりも前に到着するなら

ば論理“1”にセットされたのち、後のREFエッジによって“0”にリセットされる。UP出力及びDN出力上の論理“1”は、正電流パルス又は負電流パルスが“CPOUT”とラベルされたチャージ・ポンプ出力に到着するように、下に説明するように、チャージ・ポンプ回路32を動作可能に（イネーブル）する。これらのパルスの幅は、REF信号とVCO信号との位相差に比例する。

【0019】

チャージ・ポンプ回路32は、電源と大地との間に直列接続された第1の電流基準源40及び第2の電流基準源42を含む。第1の電流源40はUP出力によって動作させられる。第2の電流源はDN出力によって動作させられる。電流源40と電流源42との間の接続点はチャージ・ポンプ出力電流CPOUTを搬送する。

【0020】

図1の位相ロック・ループ回路の目的は、電圧制御発振器12の出力周波数をセットし、かつ、源18からの基準信号との位相ロックを達成することである。図1の位相検出器24の実施では、チャージ・ポンプ出力での電流パルスは、積分され、かつ、発振器12の電圧制御入力に印加される電圧に変換される必要がある。この変換はループ・フィルタ28によって実現される。積分器として機能することに加えて、ループ・フィルタ28はフィードバック・ループの安定性も決定する。

【0021】

図3を参照すると、従来のループ・フィルタ回路44を利用する図1の位相ロック・ループ回路10の一部分が例示されている。ループ・フィルタ回路44は、チャージ・ポンプ出力と大地との間にかつ第2のコンデンサ C_2 と並列に接続された直列接続されたコンデンサ C_1 及び抵抗器 R_1 で構成されている回路網である。知られているように、第2のコンデンサ C_2 の値が“0”であるならば、ループ・フィルタ44は二次である。そうでなければ、ループ・フィルタは三次フィルタである。

【0022】

抵抗器 R_1 の値は、減衰率（ダンピング・ファクタ）の所望の値が達成されるよう

に、セットされなければならない。典型的には、減衰率は臨界減衰の場合の $1/2^{1/2}$ に近い。 R_1 が “0” に選択されるとしたならば、知られたように、ループは、ループの固有周波数である発振の周波数で無減衰発振に突入するであろう。

【0023】

抵抗器 R_1 とループ・フィルタ 44 とは安定なループ動力学 (loop dynamics) に肝要であるが、それは種々の欠点を生じる。ループ・フィルタ抵抗器 R_1 は、発振器の電圧制御入力に熱雑音電圧を生じ、それゆえ、VCO 12 の位相をランダムに変調する。低周波数では、ループ・フィルタの抵抗器雑音は大きく減衰する。周波数が上昇するにつれて、抵抗器の位相雑音寄与は増大する。狭いループ帯域幅での高同調感度に関しては、全出力位相雑音へのループ・フィルタ抵抗器 R_1 の寄与は顕著である。特に、ループ・フィルタ抵抗器 R_1 は、ループ帯域幅の隣りにおける全位相雑音を支配する。

【0024】

従来のループ・フィルタ 44 の更に他の欠点は、位相ロック・ループ回路 10 と電圧制御発振器 12 とに供給する電源電圧が時間経過につれて低下するということである。VCO 制御電圧に対して低い有効スイングで出力信号に対する同じ周波数同調レンジを維持するには、VCO 12 の同調感度を高める必要がある。これは、達成可能な位相雑音を劣化させる。それゆえ、周波数合成ブロックのより低い電源電圧実施に対して位相雑音要件を満たすことは、困難である。

【0025】

本発明によれば、抵抗器が加える雑音の量を加えることなく、ループ・フィルタの抵抗器の機能性が実現される。これによって、位相ロック・ループ回路の同じ動力学が達成される一方、位相雑音を低めることが許される。特に、ループ内の他の雑音源が性能を支配しかつ終極的に制限する点への雑音の寄与を低めることが望ましい。

【0026】

図 4 を参照すると、本発明によるループ・フィルタ 46 を利用する図 1 の位相ロック・ループ回路 10 の一部分が例示されている。ループ・フィルタ 46 は、図 3 におけるように、コンデンサ C_1 、 C_2 を使用する。しかしながら、抵抗器 R

1は、スイッチトキャパシタ等価抵抗回路48で置き換えられる。回路48はコンデンサ C_R とスイッチング回路50とを含む。

【0027】

位相ロック・ループ回路10の好適な応用は、特定用途向け集積回路（ASIC）と共にある。それでもやはり、位相ロック・ループ回路10は他の応用と共に使用され得る。

【0028】

スイッチトキャパシタ等価に関しては、一般に、コンデンサ C は時間 m^*T の間電源に接続されると仮定することができる。コンデンサへ流れる電荷は、 $Q = C^*V$ に従ってコンデンサにかかる電圧 V を築き上げる。次いで、コンデンサは電源から切断され、時間 $(1-m)^*T$ の間コンデンサは放電する。したがって、時間 T の間、電荷 $Q = C^*V$ が電源の外へ転送された。それゆえ、平均電流は $I = Q/T = V/(T/C)$ であり、この構成配置は次式の等価抵抗値を実現する。

【0029】

【数1】

$$R = T/C$$

【0030】

平均を正確に行うために、サンプリング周波数（すなわち、 $f_s = 1/T$ ）は、電源によって出力される信号の周波数よりも十分に高いことが必要である。また、コンデンサは時間 $(1-m)^*T$ の間に十分に放電され得ることが必要であり、そうでなければ、等価抵抗は $R = T/C$ と異なる。等価抵抗値はスイッチング・デューティ・サイクル m に依存しない。

【0031】

上述した抵抗器実現は、その回路によって発生された雑音の量が図3に示した従来の抵抗器の雑音レベルよりも小さい場合に限り有効である。時間間隔 $(1-m)^*T$ の間、コンデンサは短絡され、かつ、その端子間の実効値雑音電圧は $v_{RMS}^2 = kT/C$ であると示され得る。スイッチがコンデンサを電源に接続するように転じられるときに、コンデンサの端子間の瞬時雑音電圧は、サンプリングさ

れ、かつ、サイクルが再び開始するまでは変化しない。コンデンサが時間 $(1 - m) \cdot T$ の間に十分に放電することが必要であるから、サンプリング周波数 f_s はコンデンサの端子間の雑音スペクトルの帯域幅に関してナイキスト判定法を満たさず、かつ、強い折返し (aliasing) が起こることになる。したがって、全体雑音電力は、スペクトル密度 $kT / (f_s C)$ で周波数範囲 $-f_s/2 \leq f \leq f_s/2$ 内へ折り返されている。サンプリングされかつ (時間 $m \cdot T$ の間) ホールドされた雑音電圧のスペクトルは、 $(R = 1 / (f_s C))$ を使用して) 次式となる。

【0032】

【数2】

$$\overline{v_{SH}^2(f)} = 4kTR \cdot \frac{m^2}{2} \cdot \text{sinc}^2\left(\pi m \frac{f}{f_s}\right).$$

【0033】

図5は、等価 $10\text{ k}\Omega$ 抵抗器、 $f_s = 1\text{ MHz}$ 及び $m = 0.5$ についてスペクトル雑音電圧密度を示す。

【0034】

コンデンサ C_R をループ・フィルタ46の残り又は大地に接続するスイッチング回路50は、MOSトランジスタ Q_1 、 Q_2 の形式のスイッチによって実現される。スイッチ Q_1 、 Q_2 は、周波数 f_s かつデューティ・サイクル m を持つ信号源によって駆動されているノン・オーバーラッピング・クロック発生器52によって制御される。スイッチング制御は、第1のトランジスタ Q_1 が時間 m / f_s の間オンでかつ第2のトランジスタ Q_2 が時間 $(1 - m) / f_s$ の間オンであるように、行われる。スイッチング周波数 f_s が位相ロック・ループ回路10のループ帯域幅よりも十分に上に選択されかつ $C_R = 1 / (R_1 f_s)$ であるならば、ループ・フィルタ46は図3に示したループ・フィルタ44と等価である。

【0035】

コンデンサ C_1 は、位相検出器出力とトランジスタ Q_1 のコレクタとの間に接続されている。第1のトランジスタ Q_1 のエミッタは第2のトランジスタ Q_2 のコレクタに接続されている。第2のトランジスタ Q_2 のエミッタは接地されている。

コンデンサ C_R はトランジスタ Q_1 , Q_2 の接続点と大地とに接続されている。トランジスタ Q_1 のベースとトランジスタ Q_2 のベースとはノン・オーバーラッピング・クロック発生器 52 に接続されている。

【0036】

開示されたループ・フィルタ 46 は、図 3 のループ・フィルタ 44 に比較して全位相雑音レベルよりも十分に下に等価抵抗器の位相雑音寄与を生じる。結果として、他の雑音源がループの雑音挙動を支配する。

【0037】

ループ・フィルタ 46 は位相周波数検出器 30 及びチャージ・ポンプ 32 を使用するデジタル位相ロック・ループ回路と関連して開示されているが、ループ・フィルタ 46 は、明らかなように、他の型式の位相検出器実現及び位相ロック・ループ回路と関連して使用することもできる。

【0038】

それゆえ、本発明によれば、位相ロック・ループ回路によって発生された出力信号の位相雑音特性を改善するスイッチトキャパシタ抵抗器を用いた位相ロック・ループ・フィルタが用意される。

【図面の簡単な説明】

【図 1】

位相ロック・ループ回路のブロック図である。

【図 2】

図 1 の回路の位相周波数検出器及びチャージ・ポンプ回路のブロック図である。

【図 3】

従来のループ・フィルタ回路に用いた概要を含む図 1 の位相ロック・ループ回路の一部を例示するブロック図である。

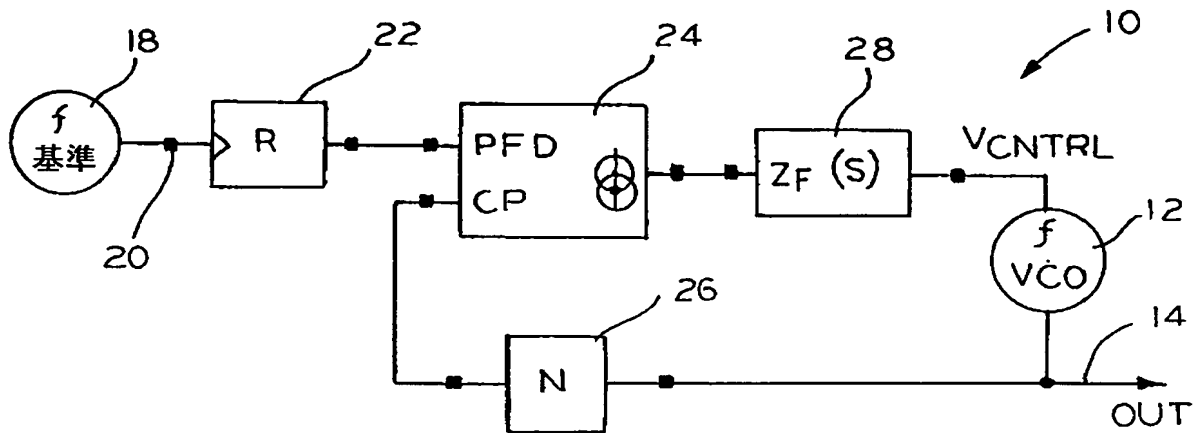
【図 4】

本発明によるループ・フィルタ回路を用いた概要を含む図 1 の位相ロック・ループ回路の一部を例示するブロック図である。

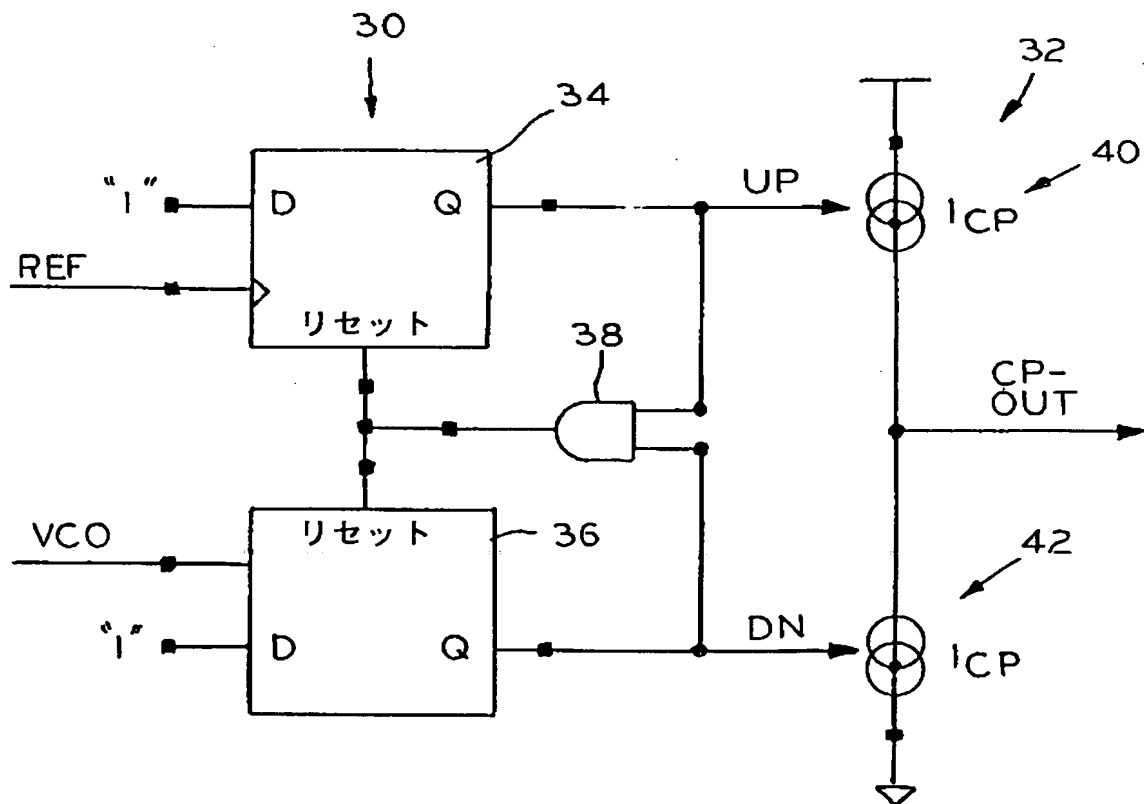
【図 5】

スイッチトキャパシタ抵抗器についてのスペクトル雑音電圧密度を例示するグラフである。

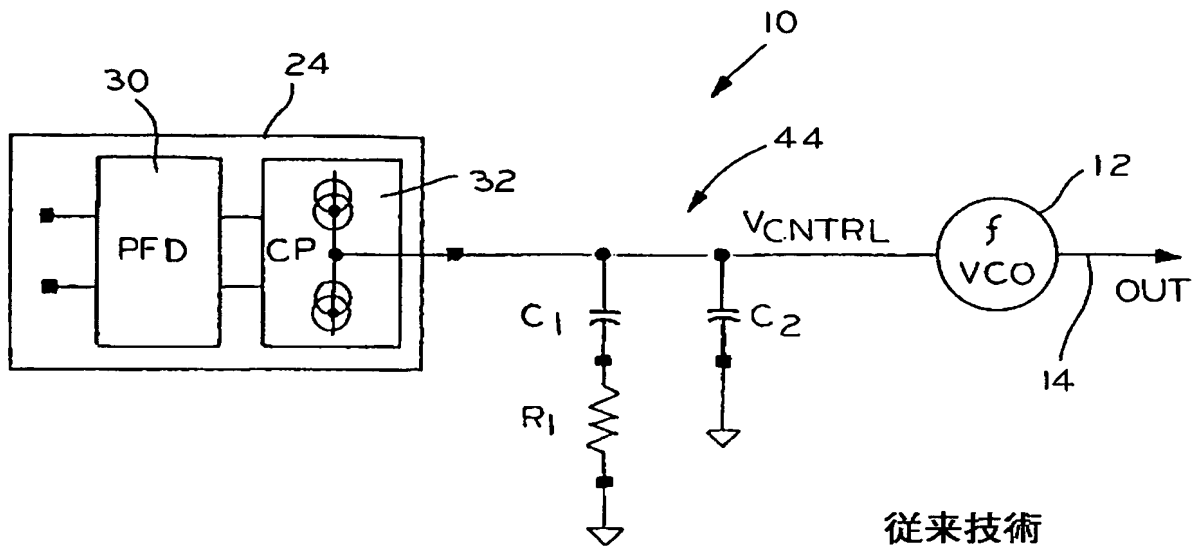
【図1】



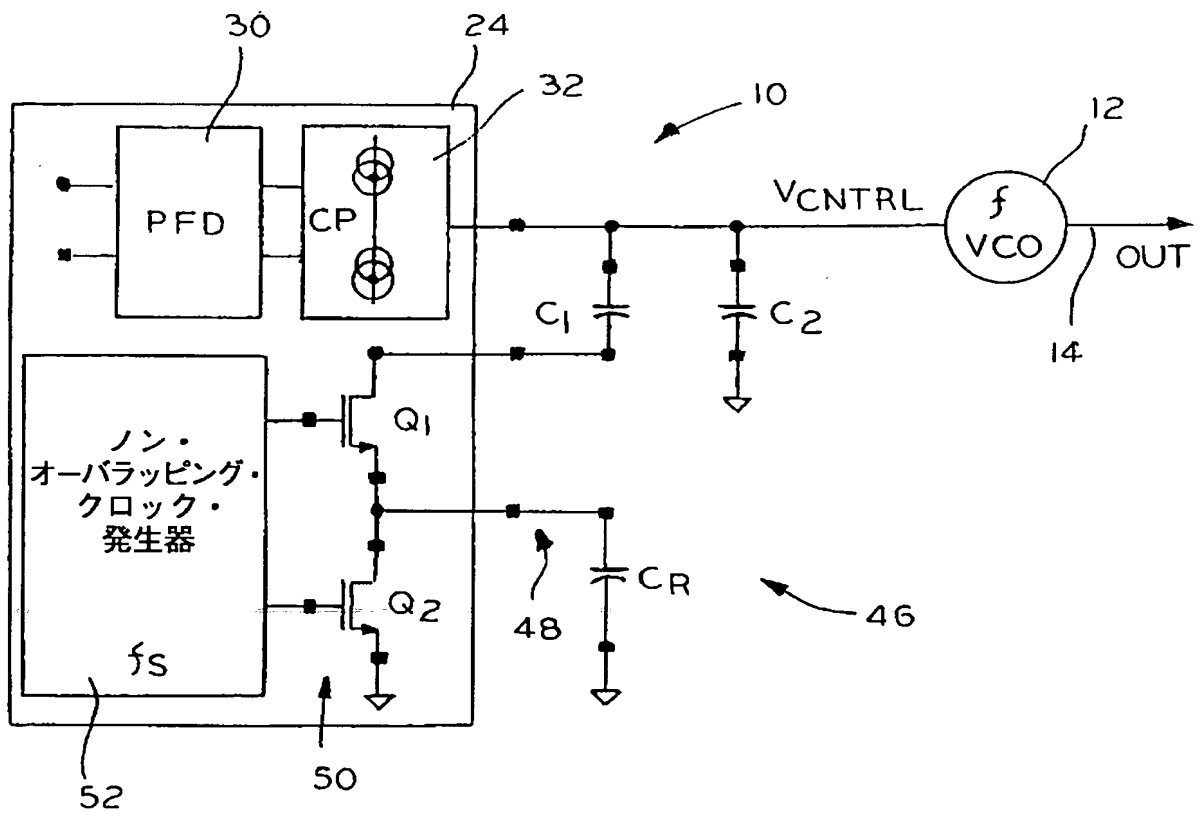
【図2】



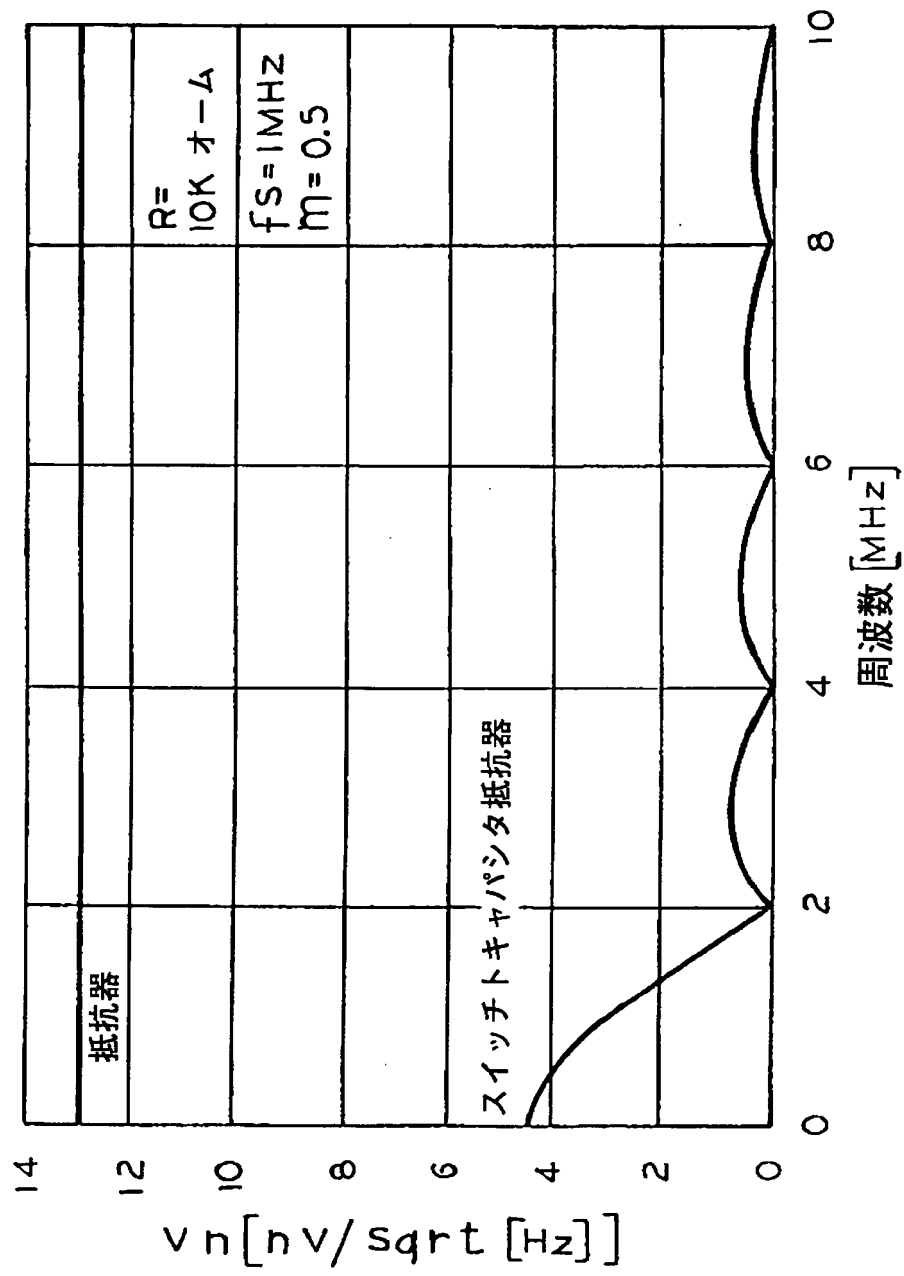
【図3】



【図4】



【図5】



【手続補正書】

【提出日】 平成 14 年 9 月 6 日 (2002. 9. 6)

【手続補正 1】

【補正対象書類名】 明細書

【補正対象項目名】 特許請求の範囲

【補正方法】 変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 位相ロック・ループ回路であって、
電圧制御入力に応答して発振出力信号を発生する電圧制御発振器と、
基準周波数信号を供給する基準源と、
前記電圧制御発振器と前記基準源とに動作的に接続され、かつ、前記発振出力信号と前記基準周波数信号との間の位相差に比例する出力を発生する位相検出器と、
前記位相検出器出力を前記電圧制御入力に接続するループ・フィルタであって、
前記位相検出器の出力に接続された第 1 の分路コンデンサと、
スイッチトキャパシタと、
前記スイッチトキャパシタが前記ループ・フィルタで抵抗素子として機能するように前記スイッチトキャパシタを前記第 1 の分路コンデンサと大地とに交互に直列に接続するスイッチング回路とを有する、
ループ・フィルタと、
を含む、位相ロック・ループ回路。

【請求項 2】 請求項 1 記載の位相ロック・ループ回路であって、前記ループ・フィルタが、前記スイッチング回路と前記位相検出器出力との間に接続された第 2 のコンデンサを更に含む、位相ロック・ループ回路。

【請求項 3】 請求項 1 記載の位相ロック・ループ回路であって、前記ループ・フィルタが、前記位相検出器出力と大地との間に接続された第 2 の分路コンデンサを更に含む、位相ロック・ループ回路。

【請求項 4】 請求項 1 記載の位相ロック・ループ回路であって、前記スイッチング回路が、前記キャパシタを前記第 1 の分路コンデンサに接続する第 1 のトランジスタと、前記キャパシタを大地に接続する第 2 のトランジスタとを含む、位相ロック・ループ回路。

【請求項 5】 請求項 4 記載の位相ロック・ループ回路であって、前記スイッチング回路が、前記第 1 のトランジスタ及び前記第 2 のトランジスタを制御するノン・オーバーラッピング・クロック発生回路を更に含む、位相ロック・ループ回路。

【請求項 6】 請求項 5 記載の位相ロック・ループ回路であって、前記クロック発生回路が、前記位相ロック・ループ回路のループ帯域幅よりも上の周波数で動作する、位相ロック・ループ回路。

【請求項 7】 請求項 1 記載の位相ロック・ループ回路であって、前記位相検出器が位相周波数検出器を含む、位相ロック・ループ回路。

【請求項 8】 請求項 1 記載の位相ロック・ループ回路であって、前記位相検出器がチャージ・ポンプ回路を含み、前記ループ・フィルタが前記チャージ・ポンプ回路からの電流パルスを実記電圧制御入力での電圧に変換する、位相ロック・ループ回路。

【請求項 9】 請求項 8 記載の位相ロック・ループ回路であって、前記位相検出器が一对のエッジトリガ形リセット付きフリップフロップを含み、前記発振出力信号と前記基準周波数信号とが前記フリップフロップ用のクロック信号であり、前記フリップフロップが前記チャージ・ポンプ回路を駆動する、位相ロック・ループ回路。

【請求項 10】 請求項 1 記載の位相ロック・ループ回路であって、前記発振出力信号と前記基準周波数信号とを前記位相検出器に接続する分周器を更に含む、位相ロック・ループ回路。

【請求項 11】 改善された位相雑音特性を有する位相ロック・ループ回路であって、

電圧制御入力に応答して発振出力信号を発生する電圧制御発振器と、
基準周波数信号を供給する基準源と、

前記電圧制御発振器と前記基準源とに動作的に接続され、かつ、前記発振出力信号と前記基準周波数信号との間の位相差に比例するパルス幅を有する正電流パルス又は負電流パルスを有する出力を発生する位相周波数検出器と、

前記位相検出器出力を前記電圧制御入力に接続するループ・フィルタであって、該ループ・フィルタが、電流パルスを前記電圧制御入力での電圧に変換し、かつ、コンデンサとスイッチング回路とを有する積分器を含み、前記スイッチング回路が前記コンデンサを前記位相検出器出力と大地とに交互に接続する、ループ・フィルタと、

を含む、位相ロック・ループ回路。

【請求項12】 請求項11記載の位相ロック・フィルタであって、前記積分器が、前記スイッチング回路と前記位相検出器出力との間に接続された第2のコンデンサを更に含む、位相ロック・ループ。

【請求項13】 請求項11記載の位相ロック・フィルタであって、前記積分器が、前記位相検出器出力と大地との間に接続された追加コンデンサを更に含む、位相ロック・ループ。

【請求項14】 請求項11記載の位相ロック・ループ回路であって、前記スイッチング回路が、前記コンデンサを前記検出器出力に接続する第1のトランジスタと、前記コンデンサを大地に接続する第2のトランジスタとを含む、位相ロック・ループ回路。

【請求項15】 請求項14記載の位相ロック・ループ回路であって、前記スイッチング回路が、前記第1のトランジスタ及び前記第2のトランジスタを制御するノン・オーバラッピング・クロック発生回路を更に含む、位相ロック・ループ回路。

【請求項16】 請求項15記載の位相ロック・ループ回路であって、前記クロック発生回路が、前記位相ロック・ループ回路のループ帯域幅よりも上の周波数で動作する、位相ロック・ループ回路。

【請求項17】 請求項11記載の位相ロック・ループ回路であって、前記位相周波数検出器がチャージ・ポンプ回路を含む、位相ロック・ループ回路。

【請求項18】 請求項17記載の位相ロック・ループ回路であって、前記

位相周波数検出器が一对のエッジトリガ形リセット付きフリップフロップを含み、前記発振出力信号と前記基準周波数信号とが前記フリップフロップ用のクロック信号であり、前記フリップフロップが前記チャージ・ポンプ回路を駆動する、位相ロック・ループ回路。

【請求項 19】 請求項 11 記載の位相ロック・ループ回路であって、前記発振出力信号と前記基準周波数信号とを前記位相周波数検出器に接続する分周器を更に含む、位相ロック・ループ回路。

【請求項 20】 請求項 1 記載の位相ロック・ループであって、前記位相検出器の出力が一連のパルスを含み、前記ループ・フィルタが前記検出器によって出力された前記パルスを電圧制御入力に変換する積分器として機能する、位相ロック・ループ。

【請求項 21】 出力信号を発生する電圧制御発振器と該電圧制御発振器用の電圧制御入力を発生する位相検出器とを含む位相ロック・ループにおける熱雑音を減少させる方法であって、

前記位相検出器の出力と前記電圧制御発振器との間に第 1 の分路コンデンサを接続するステップと、

スイッチトキャパシタが抵抗素子として機能するように該スイッチトキャパシタを前記第 1 の分路コンデンサと大地とに交互に直列に接続するステップと、を含む、方法。

【請求項 22】 請求項 21 記載の方法であって、

前記スイッチトキャパシタを前記第 1 の分路コンデンサと大地とに交互に直列に接続するステップが、

前記スイッチトキャパシタを前記分路コンデンサに直列に接続するために第 1 のスイッチング位相の間に第 1 のスイッチを閉じるステップと、

前記スイッチトキャパシタを大地に接続するために第 2 のスイッチング位相の間に第 2 のスイッチを閉じるステップとを含む、方法。

【請求項 23】 請求項 22 記載の方法であって、前記第 1 のスイッチング位相と前記第 2 のスイッチング位相とがノン・オーバーラッピングである、方法。

【請求項 2 4】 請求項 2 3 記載の方法であって、前記第 1 のスイッチと前記第 2 のスイッチとのスイッチング周波数が前記位相ロック・ループのループ帯域幅よりも高い、方法。

【請求項 2 5】 請求項 2 1 記載の位相ロック・ループであって、前記位相検出器の出力が一連のパルスを含み、前記位相ロック・ループが、前記位相検出器の出力を積分するステップを更に含む、位相ロック・ループ。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/US 00/25929

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H03L7/093

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H03L H03H

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

INSPEC, COMPENDEX, EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 013, no. 023 (E-705), 19 January 1989 (1989-01-19) & JP 63 227120 A (MATSUSHITA ELECTRIC IND CO LTD), 21 September 1988 (1988-09-21) abstract; figures 1,2A,2B	1,4,5,10
Y		7-9,11, 14-19
Y	US 5 055 803 A (HIETALA ALEXANDER W) 8 October 1991 (1991-10-08) column 1, line 6 - line 60; figures 1,6 -/-	7-9,11, 14-19

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- * "A" document defining the general state of the art which is not considered to be of particular relevance
- * "E" earlier document but published on or after the international filing date
- * "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- * "O" document referring to an oral disclosure, use, exhibition or other means
- * "P" document published prior to the international filing date but later than the priority date claimed

- * "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- * "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- * "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- * "Δ" document member of the same patent family

Date of the actual completion of the international search

28 December 2000

Date of mailing of the international search report

16/01/2001

Name and mailing address of the ISA

European Patent Office, P.B. 5610 Patentlaan 2
NL - 2280 HV Rijswijk
Tel: (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Balbinot, H

INTERNATIONAL SEARCH REPORT

Intern. Application No.
PCT/US 00/25929

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>ASTA D ET AL: "ANALYSIS OF A HYBRID ANALOG/SWITCHED-CAPACITOR PHASE-LOCKED LOOP"</p> <p>IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS, US, IEEE INC. NEW YORK, vol. 37, no. 2, 1 February 1990 (1990-02-01), pages 183-197, XP000127770</p> <p>page 183, column 1, line 1 -page 184, column 1, line 7; figures 1-3, 7</p>	1, 11
A	<p>D. J. L. LEWIS SHREWSBURY: "SWITCHED CAPACITOR FILTERS FOR PLL"</p> <p>ELECTRONIC ENGINEERING., vol. 55, no. 677, May 1983 (1983-05), pages 27-28, XP002156371</p> <p>MORGAN-GRAMPIAN LTD. LONDON., GB</p> <p>ISSN: 0013-4902</p> <p>the whole document</p>	1, 11
A	<p>PATENT ABSTRACTS OF JAPAN</p> <p>vol. 1995, no. 01, 28 February 1995 (1995-02-28) & JP 06 291644 A (FUJITSU GENERAL LTD), 18 October 1994 (1994-10-18)</p> <p>abstract; figures 1, 2</p>	1, 10, 11, 19

INTERNATIONAL SEARCH REPORT
 Information on patent family members

 Intern. Application No
PCT/US 00/25929

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP 63227120 A	21-09-1988	NONE	
US 5055803 A	08-10-1991	AU 639850 B AU 9148491 A BR 9106204 A CA 2071524 A,C DE 4193102 C DE 4193102 T FI 923571 A FR 2671442 A GB 2256984 A,B IT 1250978 B JP 2844390 B JP 5505085 T WO 9210879 A	05-08-1993 08-07-1992 23-03-1993 15-06-1992 18-12-1997 10-12-1992 10-08-1992 10-07-1992 23-12-1992 24-04-1995 06-01-1999 29-07-1993 25-06-1992
JP 06291644 A	18-10-1994	NONE	

フロントページの続き

(81)指定国 EP(AT, BE, CH, CY,
DE, DK, ES, FI, FR, GB, GR, IE, I
T, LU, MC, NL, PT, SE), OA(BF, BJ
, CF, CG, CI, CM, GA, GN, GW, ML,
MR, NE, SN, TD, TG), AP(GH, GM, K
E, LS, MW, MZ, SD, SL, SZ, TZ, UG
, ZW), EA(AM, AZ, BY, KG, KZ, MD,
RU, TJ, TM), AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BY, BZ, C
A, CH, CN, CR, CU, CZ, DE, DK, DM
, DZ, EE, ES, FI, GB, GD, GE, GH,
GM, HR, HU, ID, IL, IN, IS, JP, K
E, KG, KP, KR, KZ, LC, LK, LR, LS
, LT, LU, LV, MA, MD, MG, MK, MN,
MW, MX, MZ, NO, NZ, PL, PT, RO, R
U, SD, SE, SG, SI, SK, SL, TJ, TM
, TR, TT, TZ, UA, UG, UZ, VN, YU,
ZA, ZW

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.